

Caracterizador de Memorias SDRAM

Alejandro Linares, Rafael Paz, Alfonso Rosales, Antón Cívit, Gabriel Jiménez

Arquitectura y Tecnología de Computadores
Facultad de Informática. Universidad de Sevilla
Avda. Reina Mercedes s/n, 41012 Sevilla
e-mail: gaji@atc.us.es

Resumen

En este trabajo se presenta un sistema capaz de leer las características de los módulos de memorias SDRAM que incluyan SPD. El sistema consta de un circuito conectable al puerto paralelo de un PC (LPT), más un software bajo Windows que se utiliza como interface de usuario y mecanismo de control de la circuitería. La placa que se conecta al puerto paralelo se alimenta mediante un transformador propio y dispone de un zócalo en el que se inserta el módulo de memoria que se pretenda estudiar, por tanto si se quieren conocer las características de un módulo insertado en un PC es necesario primero extraerlo para después colocarlo en el Caracterizador.

1. Motivación

La gran mayoría de los ordenadores que actualmente se utilizan en nuestro entorno tienen sistemas de memorias basados en módulos SDRAM. Desde hace unos años este tipo de módulos se ha ajustado a las especificaciones que los fabricantes han definido, las más populares, como las realizadas por Intel, se han convertido en norma: PC66, PC100, PC133 ... Todos estos módulos obligatoriamente incluyen una "pequeña" memoria EEPROM serie (SPD), donde el fabricante del módulo guarda información de las características del mismo. Esta información normalmente no se utiliza por parte de las placas base del PC (las de gama alta sí), es el usuario el que mediante el correspondiente SETUP indica parámetros como el tiempo de ciclo de la memoria o la latencia de CAS. Para "sintonizar" adecuadamente estos parámetros del SETUP es necesario: primero entender el significado de dichos conceptos (CLK, CL ...) y por otra parte poder conocer qué parámetros tiene la memoria que está insertada en nuestra placa base.

Basándonos en esta necesidad se ha diseñado una práctica en la que el alumno estudia tres módulos diferentes de memoria con el caracterizador de SDRAM, además de la configuración del SETUP de un PC (en lo concierne al ajuste de la memoria). A partir del análisis de los datos el alumno rellena unas tablas con los parámetros disponibles en el SETUP que mejor se ajustan a cada módulo de memoria.

Es evidente que el caracterizador de SDRAM no sería necesario si cuando compramos un módulo el vendedor nos dijese sus características, o por lo menos el fabricante proporcionase hojas de datos con dicha información, pero lo habitual es que se adquieran módulos de memoria de los que apenas ni el propio vendedor está seguro de lo que vende. En este contexto el caracterizador de SDRAM no es sólo una herramienta útil para que el alumno conozca los fundamentos de las memorias dinámicas síncronas, sino también un sistema destinado a cualquier centro o profesional que realice mantenimiento de equipos informáticos, ya que permite conocer de qué tipo es cada módulo aunque no se encuentren señas escritas de su "identidad". En realidad, en origen, éste fue el fundamento para diseñar el Caracterizador: ordenar y conocer qué módulos se estaban comprando para ampliar las memorias de nuestros equipos.

2. Los módulos de memoria SDRAM

Desde el punto de vista de este trabajo lo más destacable de estas memorias es que llevan incluida una EEPROM serie con información del módulo, a dicho dispositivo se le conoce por SPD (Serial Presence Detect). El organismo de estandarización JEDEC en Julio de 1996 dictó una norma llamada SO-144 SDRAM DIMM SPD donde se recogieron inicialmente las especificaciones necesarias para la codificación de

esta información. En principio se pretendía que los computadores leyesen en fase de inicialización el SPD y se adaptasen automáticamente a las especificaciones grabadas.

La memoria EEPROM del SPD se suele implementar sobre un chip del tipo 24c02 que cuenta con 2048 bits organizados en 256 palabras de 8 bits. El SPD está estructurado en bytes que individualmente o combinados con otros, representan los parámetros de funcionamiento de la SDRAM. La norma anteriormente mencionada utiliza sólo 128 bytes para la descripción del módulo, quedan por tanto 128 bytes a disposición del "usuario".

Con respecto a la conexión eléctrica del SPD, como su propio nombre indica, se realiza mediante un puerto serie que además es síncrono. En la industria se utilizan normalmente dos tipos de memorias serie síncronas: SPI e I2C. Todos los módulos SDRAM montan memorias I2C, este tipo de dispositivo es muy popular y desde hace bastante tiempo se viene utilizando como elemento para guardar la configuración de diversos equipos electrónicos (televisores, videos, equipos de audio ...). Es por tanto un elemento de bajo coste que no encarece el precio del módulo SDRAM, siendo necesario además un número muy reducido de patillas para su funcionamiento.

Una característica importante de las memorias SDRAM, que las diferencia de las DRAM tradicionales, es que sus especificaciones contemplan diferentes modos de uso e incluso la posibilidad de configurar algunos de sus parámetros. De esta forma las memorias se podrían adaptar a la velocidad del sistema en lugar de adecuarse éste a la de la memoria a base de generar estados de espera.

2.1. La información guardada en el SPD

Vamos a tratar en este apartado de analizar algunos de los parámetros que se obtienen del SPD, un análisis de toda la información excede este trabajo (el caracterizador explica cada parámetro).

La latencia de CAS (CL) junto con la frecuencia de reloj (CLK) representan los parámetros más significativos de la SDRAM. CL es el retardo en ciclos de reloj entre la activación de CAS y la presentación del primer dato. Otro parámetro importante es el tiempo de acceso

(Tacc), que se define como el tiempo desde que se activa el reloj CLK (flanco de subida) hasta que aparece el dato en el bus [2], por ejemplo para que se cumpla el tiempo de setup en un Pentium con bus a 100 Mhz debe ser Tacc igual a 7 ns, en el caso de que fuese 10ns el dato no sería capturado por el procesador.

Es evidente que cuanto menor sea la latencia de CAS mejor rendimiento tendrá el computador. Las memorias SDRAM admiten varias latencias de CAS, dependientes del reloj CLK, en una memoria PC66 podemos encontrar los siguientes datos: CL=3 con Tacc=8ns y CLK=10ns, CL=2 con Tacc=9ns y CLK=15ns. Es decir la memoria PC66 se puede utilizar con diferentes frecuencia de bus y con distintas latencias de CAS, obsérvese que aunque el reloj puede ser de 100Mhz no funcionaría en un Pentium con bus 100Mhz debido a que no cumple Tacc.

Se pueden encontrar en el mercado módulos PC133 que sólo soportan latencia de CAS 3, estos módulos a pesar de que el bus del procesador es 33% más rápido que si fuese a 100Mhz suelen suponer una mejora de tan sólo el 10% con respecto a un módulo PC100-CL2 colocado en un bus a 100Mhz, esto es así cuando se realiza acceso de ráfagas de longitud 4.

2.2. El Bus I2C

El I2C o IIC (Inter Integrated Circuit) fue desarrollado a principios de los 90 por Philips. Físicamente se implementa sobre dos líneas, una de datos SDA (Serial DATA) y otra de reloj SCL (Serial CLock).

La primera especificación (versión 1.0, 1992) incluía dos modos de funcionamiento, uno "lento" con una velocidad máxima de transferencia de 100Kbps y otro más rápido con una velocidad máxima de 400Kbps, en versiones posteriores se recogen modos de funcionamiento de 3,4Mbps. Obsérvese que las especificaciones hacen referencia a velocidades máximas, no mínimas, esto es debido a que el sistema está pensado para adaptarse automáticamente a velocidades inferiores. Debido a que las características temporales no son demasiado críticas el diseño de la interface es relativamente sencillo.

Tanto la línea SDA como SCL son bidireccionales. Los dispositivos se implementan como salidas de colector (drenador) abierto,

siendo necesaria una resistencia de pull-up para cada línea.

En la terminología I2C se incluyen los siguientes conceptos [3]:

- Maestro: Dispositivo que inicia, finaliza la transferencia y genera la señal SCL. El bus I2C permite la existencia de varios maestros.
- Esclavo: Dispositivo al que se dirige la transmisión o se le solicita el envío de datos por parte de un maestro. Para dirigirse a los esclavos el maestro envía como primera parte del mensaje la dirección del esclavo con el que pretende comunicarse.
- Emisor: Dispositivo que coloca datos en el bus. Los datos son válidos en SDA cuando SCL está a nivel bajo.
- Receptor: Dispositivo destino de los datos que se encuentran en el bus. Es el encargado de generar ACK sobre la línea SDA.
- Start: Indicación por parte del maestro de inicio de transferencia. Se genera una condición de start bajando SDA mientras mantiene a nivel alto SCL.
- Stop: Indicación por parte del maestro de fin de transferencia. Se genera una condición de stop subiendo SDA mientras está a nivel alto SCL.

La comunicación cuando en el bus hay un solo maestro tiene lugar de la siguiente forma: Inicialmente las líneas SCL y SDA están inactivas (a nivel alto). Un maestro inicia la transmisión generando sobre el bus una condición de start, a continuación transmite una palabra que contiene la dirección del dispositivo esclavo y el modo (lectura o escritura). Una vez el esclavo seleccionado recibe la palabra, éste genera un ACK, a partir de ese momento se transmiten o reciben los datos, con el control de la línea SCL generada por el maestro. Una vez concluida la transmisión el maestro genera una indicación de stop sobre el bus, quedando éste desocupado.

3. Diseño del Caracterizador

La memoria SPD se comporta siempre como un esclavo/emisor y el PC mediante el puerto paralelo se debe comportar como un maestro/receptor. Se podría incluso escribir en la EEPROM SPD pero esa posibilidad no está contemplada en nuestro diseño. Para simular un bus I2C con el puerto paralelo son necesarias

pocas líneas, conviene observar la simplicidad del diseño en cuanto a que del módulo SDRAM sólo tenemos que conectar las líneas correspondientes al SPD, para simplificar se elige la dirección cero para este dispositivo (dirección I2C), esto significa que las líneas SA0, SA1 y SA2 se conectan a Vss.

3.1. Desarrollo del hardware

La misión de la interface hardware es la de recibir las señales eléctricas del puerto paralelo y realizar una excitación del mismo orden en el bus I2C del SPD del módulo de memoria y viceversa, manteniendo un aislamiento galvánico entre ambos. El esquema de dicha interface se encuentra en la figura 1.

La alimentación de la memoria SPD implica que también se alimentan los chips SDRAM (3,3V), esto implica un consumo relativamente elevado del circuito que ha llevado a establecer una toma de alimentación independiente para nuestro circuito, en caso contrario se podrían haber utilizado las líneas del puerto paralelo como fuente de alimentación. Esta fuente de alimentación es de 3,3 V y está compuesta por el transformador (T1) con toma intermedia, un rectificador de doble onda construido con puente de diodos, un condensador de 220 uF como filtro y un circuito estabilizador realizado con el integrado LM317.

La función de aislamiento la realizan los circuitos optoacopladores. A un lado de la etapa de aislamiento se encuentra el circuito alimentado por el propio puerto paralelo y por otra parte el circuito alimentado por la fuente de 3,3V. Dado que el circuito está expresamente dedicado a la comunicación entre el PC, definido como Master del I2C y el SPD definido como Esclavo, sólo es necesario implementar la función bidireccional para la línea SDA, mientras que SCL sólo transitará desde el PC al módulo de memoria.

Con objeto de simular el colector abierto y al mismo tiempo tener el aislamiento, la entrada SDA en el PC es una función lógica AND entre la línea SDA que genera el propio PC y la línea SDA del SPD [1]. Es por ello que además de los circuitos de aislamiento, el interfaz incorpora un circuito de bloqueo que realiza esta tarea. Este circuito está implementado con transistores de

efecto de campo de canal N, elegidos por su baja resistencia de conmutación.

Las líneas de datos del puerto paralelo se utilizan como fuente de alimentación [4]. Para implementar la línea SDA se utilizan dos terminales del puerto paralelo, uno como salida (STROBE es SDA OUT-PC) y otro como entrada (PE es SDA IN-PC). Por último la línea INIT es la salida SCL.

3.2. Desarrollo del software

El software necesario para hacer funcionar el Caracterizador ha sido desarrollado con C++ Builder, utilizando algunas funciones en ensamblador para el acceso a los puertos de entrada salida (inportb(), outportb()). La aplicación software es la encargada de realizar el diálogo I2C con la EEPROM a través del puerto paralelo.

Para implementar el software se ha dividido la aplicación en cuatro formularios con sus módulos de código asociados. Estos formularios son: principal, de características, detalles, acerca de. Todas las funciones importantes se incorporan en el código del formulario principal, los demás módulos sirven de interfaz de usuario, realizando una representación visual de los datos obtenidos con el código del formulario principal.

4. Conclusión

En este trabajo se ha presentado un sistema de bajo coste con el que poder estudiar las características de los módulos de memoria SDRAM. Es importante destacar que el sistema presentado no accede en absoluto a las memorias dinámicas síncronas, la información se obtiene del SPD. Esto significa que el Caracterizador no es un elemento con el que se pueda comprobar o diagnosticar el buen funcionamiento de la SDRAM, sólo podemos observar las características que el fabricante ha querido colocar en el SPD.

Referencias

- [1] Adel Sedra y Kennet C. Smith. *Dispositivos electrónicos y amplificación de señales*. Interamericana, 1987.
- [2] Betty Prince. *Semiconductor memories. A handbook of design, manufacture and application*, Addison-Wesley 1991
- [3] Dominique Paret. *El bus I2C. de la teoría a la práctica*. Paraninfo 1995
- [4] Winn L. Rosch. *Hardware Biblie*. Que 1999

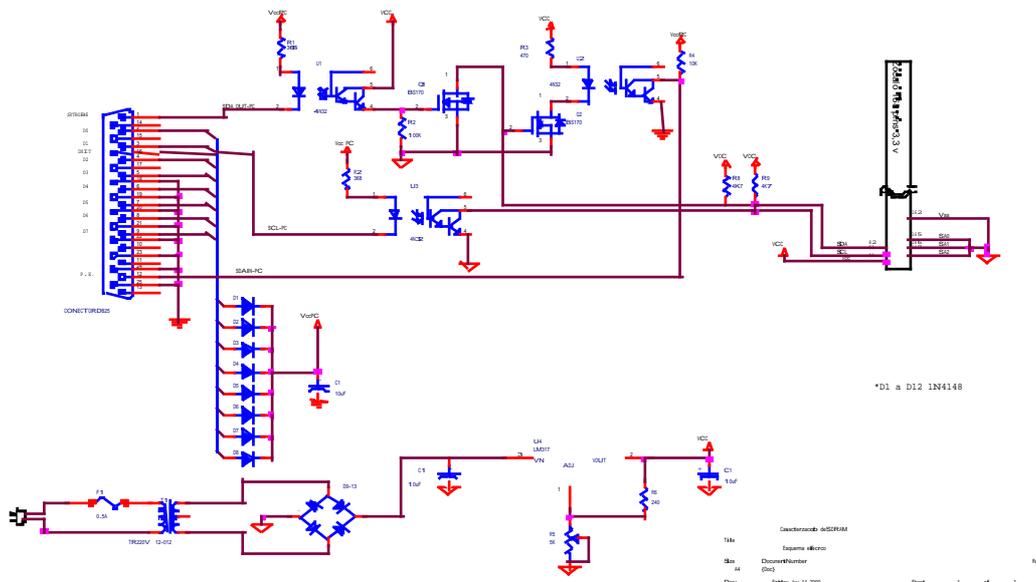


Figura 1: Esquema eléctrico del Caracterizador de memorias SDRAM